

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: October 24, 2002

Application Number: No. 2002-309750
[ST.10/C]: [JP2002-309750]

Applicant(s): FUJITSU LIMITED

July 31, 2003

Commissioner,
Patent Office

Yasuo Imai (Seal)

Certificate No. 2003-3061274

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月24日
Date of Application:

出願番号 特願2002-309750
Application Number:

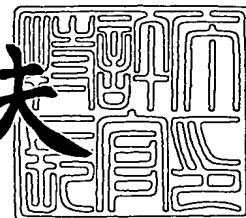
[ST. 10/C]: [JP 2002-309750]

出願人 富士通株式会社
Applicant(s):

2003年 7月31日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3061274

【書類名】 特許願

【整理番号】 0240671

【提出日】 平成14年10月24日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03M 3/02

【発明の名称】 高速オーバーサンプリング変調回路

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 関本 宇一

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 高速オーバーサンプリング変調回路

【特許請求の範囲】

【請求項 1】 複数のビットで構成される入力信号と第 1 の遅延信号を加算する加算手段と、

前記加算手段からの出力信号のうち上位側の所定数のビットからなる第 1 の信号から第 2 の遅延信号を減算する減算手段と、

前記加算手段の出力信号の下位側の残りのビットからなる第 2 の信号を下位ビットとし、前記減算手段からの出力信号を上位ビットとして構成される第 3 の信号を遅延して、前記第 1 の遅延信号を出力する第 1 の遅延手段と、

前記第 3 の信号を入力として量子化処理を行い、所定のビット数の量子化信号を出力する量子化手段と、

前記量子化手段から出力される前記量子化信号を遅延して、前記第 2 の遅延信号を出力する第 2 の遅延手段と、

を備え、前記量子化手段は前記第 3 の信号のうち特定のビットを選択して、前記量子化信号を生成することを特徴とするオーバーサンプリング変調回路。

【請求項 2】 前記量子化手段は、限られたデータ範囲において量子化処理を行い、前記データ範囲の上限値よりも大きいデータが入力された場合に、前記上限値を出力するオーバーフロー回路と、前記データ範囲の下限値よりも小さいデータが入力された場合に、下限値を出力するアンダーフロー回路とを備えることを特徴とする請求項 1 記載のオーバーサンプリング変調回路。

【請求項 3】 前記オーバーサンプリング変調回路は、前記第 2 の遅延手段からの出力信号を入力として、該出力信号を整数倍することにより前記第 2 の遅延信号を生成する乗算手段をさらに備えることを特徴とする請求項 1 乃至 2 記載の高速オーバーサンプリング変調回路。

【請求項 4】 複数のビットで構成される入力信号のうち上位側の所定数のビットからなる第 1 の信号から第 1 の遅延信号を減算する減算手段と、

前記複数のビットで構成される前記入力信号の下位側の残りのビットからなる第 2 の信号を下位ビットとし、前記減算手段の出力信号を上位ビットとして構成

される第3の信号と、第2の遅延信号とを加算する加算手段と、

前記加算手段の出力信号を入力として量子化処理を行い、所定のビット数の量子化信号を出力する量子化手段と、

前記量子化手段から出力される前記量子化信号を遅延して前記第1の遅延信号を出力する第1の遅延手段と、

前記加算手段の前記出力信号を遅延して前記第2の遅延信号を出力する第2の遅延手段と、

を備え、前記量子化手段は前記加算手段の前記出力信号のうち特定のビットを選択して、前記量子化信号を生成することを特徴とするオーバーサンプリング変調回路。

【請求項5】 前記量子化手段は、限られたデータ範囲において量子化処理を行い、前記データ範囲の上限値よりも大きいデータが入力された場合に、前記上限値を出力するオーバーフロー回路と、前記データ範囲の下限値よりも小さいデータが入力された場合に、下限値を出力するアンダーフロー回路とを備えることを特徴とする請求項4記載のオーバーサンプリング変調回路。

【請求項6】 前記オーバーサンプリング変調回路は、前記第2の遅延手段からの出力信号を入力として、該出力信号を整数倍することにより前記第2の遅延信号を生成する乗算手段をさらに備えることを特徴とする請求項4又は5記載のオーバーサンプリング変調回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル・アナログ変換（D/A変換）及びアナログ・デジタル変換（A/D変換）に使用されるオーバーサンプリング変調回路、特に、デルタ変調器、シグマデルタ変調器、多段ノイズ整形（MASH）変調器における量子化誤差を抑圧するために使用されるオーバーサンプリング変調回路に関するものである。

【0002】

【従来の技術】

アナログ信号をデジタル信号に変換し符号化する場合、ナイキストの定理より、信号周波数帯域の2倍以上の周波数でサンプリングすれば、原信号の情報を損なわないで伝達、復元できる。信号周波数帯域を f_a 、サンプリング周波数を f_b 、ビット数（分解能）を n （ f_a 、 f_b 、 n は正の整数）とすると、 S/N の最大値 S/N_{MAX} は、次式で与えられる。

【0003】

$$S/N_{MAX} = (3/2) * 2^{2n} * (f_a / 2 f_b)$$

上式からわかるように、ビット数 n を1ビット上げると S/N は、6 dB改善され、サンプリング周波数 f_b を2倍にすると S/N は、3 dB改善される。よって、精度を上げる（量子化雑音を少なくする）ためには、ビット数を増やすか、あるいは、サンプリング周波数を上げることが考えられる。

【0004】

また、シグマデルタ変調器を使うことにより、量子化雑音を高周波側に大きく、低周波側に小さくすることが可能である。その結果、信号周波数帯域付近において、量子化雑音が低くなれば、高精度の信号を復元できる。

【0005】

図1は、従来の一次のシグマデルタ変調器の一例を示す。

【0006】

図1に示したシグマデルタ変調器は、加算器21、減算器22、量子化器23、遅延素子24、遅延素子25、デコーダ回路26から構成される。

【0007】

加算器21は、10ビットの入力信号201と10ビットの帰還信号204を加算する。減算器22は、加算器21から出力される11ビットの出力信号202から10ビットの帰還信号206を減算する。量子化器23は、減算器22の出力信号203に対し量子化処理を行って、10ビットの量子化信号205を出力する。この量子化信号205は、デコーダ回路26に入力されて復号化され、3ビットの復号化信号207を出力する。減算器22からの出力信号203は、遅延素子24に入力され、1クロック分の遅延が加えられ、10ビットの帰還信号204として加算器21に出力される。また、量子化器23からの量子化信号

205は、遅延素子25に入力され、1クロック分の遅延が加えられ、10ビットの帰還信号206として減算器22に出力される。

【0008】

図2は、量子化幅を128とした場合の従来の量子化器の一例を示す。

【0009】

図2に示した量子化器は、マグニチュードコンパレータ30、31、32と、ANDゲート33、34と、セレクトア素子35、36、37、38と、ORゲート39とから構成される。

【0010】

各マグニチュードコンパレータは、入力をA、Bとし、出力をG、Lとすると、 $A < B$ の時、Lが1、Gが0を出力し、 $A \geq B$ の時、Lが0、Gが1を出力する回路である。

【0011】

入力信号300は、図1のシグマデルタ変調器における10ビットの信号203に対応する。マグニチュードコンパレータ30、31、32の各入力Aには、この入力信号300が接続されている。量子化幅が10進数の128の場合、マグニチュードコンパレータ30の入力Bとセレクトア36に供給される入力信号310には、10進数の128が、マグニチュードコンパレータ32の入力Bとセレクトア37に供給される入力信号311には、10進数の256が、マグニチュードコンパレータ33の入力Bとセレクトア38に供給される入力信号312には、10進数の384が、セレクトア35の入力信号313には、10進数の0が、それぞれ接続されている。

【0012】

マグニチュードコンパレータ30の出力Lは、信号301を介してセレクトア素子35の1つの入力に接続されている。マグニチュードコンパレータ30の出力Gとマグニチュードコンパレータ31の出力Lは、信号302と信号303を介してANDゲート33の2つの入力に接続されている。マグニチュードコンパレータ31の出力Gとマグニチュードコンパレータ32の出力Lは、信号304と信号305を介してANDゲート34の2つの入力に接続されている。マグニチ

ュードコンパレータ 32 の出力 G は、信号 306 を介してセレクトア素子 38 の 1 つの入力に接続されている。

【0013】

AND ゲート 33 の出力は信号 307 を介してセレクトア素子 36 の 1 つの入力に接続されている。AND ゲート 34 の出力は信号 308 を介してセレクトア素子 37 の 1 つの入力に接続されている。セレクトア素子 35、36、37、38 の出力は全て、OR ゲート 39 の入力に接続されている。したがって、OR ゲート 39 は、入力信号 300 に応じてセレクトア素子 35、36、37、38 から出力される出力信号に基づいて、量子化信号 309 を出力する。

【0014】

図 2 の量子化器においては、入力信号 300 が 128 未満の場合、信号 301 のみが 1 を出力し、信号 306、信号 307 及び信号 308 が全て 0 を出力する。また、入力信号 300 が 128 以上 256 未満の場合、信号 302 と信号 303 が 1 を出力し、信号 307 が 1 を出力し、信号 301、信号 306 及び信号 308 が全て 0 を出力する。また、入力信号 300 が 256 以上 384 未満の場合、信号 304 と信号 305 が 1 を出力し、出力信号 308 が 1 を出力し、信号 301、信号 306 及び信号 307 が全て 0 を出力する。また、入力信号 300 が 384 以上の場合、信号 306 のみが 1 を出力し、信号 301、信号 306 及び信号 307 が全て 0 を出力する。

【0015】

上記した従来例のシグマデルタ変調器の場合、加算演算と減算演算、すなわち、図 1 の入力信号 201 から出力信号 205 までの演算を少なくとも 1 クロックの時間までに完了しなければならない。

【0016】

なお、本発明に関連する従来技術として、特開平 6-13906 号公報には、高い S/N 比を実現するオーバーサンプリング形 D/A 変換器に使用するためのシグマデルタ変調器が示されている。

【0017】

【特許文献 1】

特開平6-13906号公報

【0018】

【発明が解決しようとする課題】

従来のオーバーサンプリング変調器において演算精度を向上させるためには、オーバーサンプリング変調器の演算ビット数の増加や、信号処理の高速化が考えられる。しかし、従来のオーバーサンプリング変調器の場合、規定の時間内に演算を完了するという条件を満足させながら、演算ビット数を増やしたり、信号処理を高速化することは困難である。

【0019】

また、同じ演算回路を複数個用意して並行演算させることが考えられるが、その場合、回路規模が大きくなり、チップ面積が増大するため、コストが増大すると共に、消費電力も増大するという問題がある。

【0020】

本発明は、上記の点に鑑みてなされたものであり、量子化レベルを2のk乗（kは正の整数）に設定することにより量子化器の回路を簡略化し、それにより演算回路のビット数を削減でき、回路規模を増大させることなく、多ビットの信号処理及び高速演算処理が実現できる高速オーバーサンプル変調回路を提供することを目的とする。

【0021】

【課題を解決するための手段】

上記課題を解決するため、請求項1に記載した発明は、オーバーサンプリング変調回路が、複数のビットで構成される入力信号と第1の遅延信号を加算する加算手段と、前記加算手段からの出力信号のうち上位側の所定数のビットからなる第1の信号から第2の遅延信号を減算する減算手段と、前記加算手段の出力信号の下位側の残りのビットからなる第2の信号を下位ビットとし、前記減算手段からの出力信号を上位ビットとして構成される第3の信号を遅延して、前記第1の遅延信号を出力する第1の遅延手段と、前記第3の信号を入力として量子化処理を行い、所定のビット数の量子化信号を出力する量子化手段と、前記量子化手段から出力される前記量子化信号を遅延して、前記第2の遅延信号を出力する第2

の遅延手段とを備え、前記量子化手段が前記第3の信号のうち特定のビットを選択して、前記量子化信号を生成することを特徴とする。

【0022】

請求項2に記載した発明は、請求項1記載のオーバーサンプリング変調回路において、前記量子化手段が、限られたデータ範囲において量子化処理を行い、前記データ範囲の上限値よりも大きいデータが入力された場合に、前記上限値を出力するオーバーフロー回路と、前記データ範囲の下限値よりも小さいデータが入力された場合に、下限値を出力するアンダーフロー回路とを備えることを特徴とする。

【0023】

請求項3に記載した発明は、請求項1乃至2記載の高速オーバーサンプリング変調回路が、前記第2の遅延手段からの出力信号を入力として、該出力信号を整数倍することにより前記第2の遅延信号を生成する乗算手段をさらに備えることを特徴とする。

【0024】

また、上記課題を解決するため、請求項4に記載した発明は、オーバーサンプリング変調回路が、複数のビットで構成される入力信号のうち上位側の所定数のビットからなる第1の入力信号から第1の遅延信号を減算する減算手段と、前記複数のビットで構成される前記入力信号の下位側の残りのビットからなる第2の入力信号を下位ビットとし、前記減算手段の出力信号を上位ビットとして構成される第3の信号と、第2の遅延信号とを加算する加算手段と、前記加算手段の出力信号を入力として量子化処理を行い、所定のビット数の量子化信号を出力する量子化手段と、前記量子化手段から出力される前記量子化信号を遅延して前記第1の遅延信号を出力する第1の遅延手段と、前記加算手段の前記出力信号を遅延して前記第2の遅延信号を出力する第2の遅延手段とを備え、前記量子化手段が前記加算手段の前記出力信号のうち特定のビットを選択して、前記量子化信号を生成することを特徴とする。

【0025】

請求項5に記載した発明は、請求項4記載のオーバーサンプリング変調回路に

において、前記量子化手段が、限られたデータ範囲において量子化処理を行い、前記データ範囲の上限値よりも大きいデータが入力された場合に、前記上限値を出力するオーバーフロー回路と、前記データ範囲の下限値よりも小さいデータが入力された場合に、下限値を出力するアンダーフロー回路とを備えることを特徴とする。

【0026】

請求項6に記載した発明は、請求項4又は5記載のオーバーサンプリング変調回路が、前記第2の遅延手段からの出力信号を入力として、該出力信号を整数倍することにより前記第2の遅延信号を生成する乗算手段をさらに備えることを特徴とする。

【0027】

【発明の実施の形態】

以下、本発明の実施の形態を添付の図面を用いて説明する。

【0028】

図3に、本発明の第1の実施形態に係る一次のオーバーサンプリング変調回路を示す。この実施形態のオーバーサンプリング変調回路では、10ビットのストレートバイナリ信号が入力される場合を例に挙げて説明する。

【0029】

図3のオーバーサンプリング変調回路は、加算器11と、減算器12と、量子化器13と、遅延素子14と、遅延素子15とから構成されている。

【0030】

信号101は、オーバーサンプリング変調回路の入力信号で、10ビットの入力信号とする。この信号101を入力信号Xとすると、次式で表すことができる。

【0031】

$$X = A_{10} \cdot 2^9 + A_9 \cdot 2^8 + A_8 \cdot 2^7 + A_7 \cdot 2^6 + A_6 \cdot 2^5$$

$$+ A_5 \cdot 2^4 + A_4 \cdot 2^3 + A_3 \cdot 2^2 + A_2 \cdot 2^1 + A_1 \cdot 2^0$$

ここで、 A_{10} は2の9乗を表すビット、 A_9 は2の8乗を表すビット、 A_8 は

2の7乗を表すビット、 A_7 は2の6乗を表すビット、 A_6 は2の5乗を表すビット、 A_5 は2の4乗を表すビット、 A_4 は2の3乗を表すビット、 A_3 は2の2乗を表すビット、 A_2 は2の1乗を表すビット、 A_1 は2の0乗を表すビットである。入力信号Xはこれら10本のビット線から構成されている。

【0032】

これら10本のビット線にそれぞれ、「1」または「0」を示すバイナリ信号を与えることにより、入力信号Xの数値が表現される。ここで、10本のビットの中の一つ大きい乗数を示すビットをMSB（最上位ビット）、一番小さい乗数を示すビットをLSB（最下位ビット）と呼ぶ。

【0033】

よって、10ビットの信号線が表すことのできる数値の範囲は、十進数で0～1023である。0未満、又は1024以上の数値が入力された場合、回路上、誤動作を起こすので、ビット数の増加等を行わなければならない。ここでは説明の便宜上、本実施形態のオーバーサンプリング変調回路は、上記の数値の範囲内で動作することを前提とする。

【0034】

図3のオーバーサンプリング変調回路において、入力信号101と遅延信号107は、加算器11の入力となり、加算器11は2つの信号の加算演算を行い、加算された数値を表す10ビットの信号102を出力する。

【0035】

加算器11から出力される信号102のうち、上位3ビットの信号を信号103とし、加算器11の出力信号102のうち、残りの下位7ビットを信号104とする。

【0036】

加算器11からの上位3ビットの信号103と3ビットの遅延信号109とは減算器12に入力され、減算器12は信号103から信号109を減算して、3ビットの減算信号105を出力する。

【0037】

減算器12からの出力信号105を上位の3ビットとし、前記した加算器11

からの下位 7 ビットの信号 104 を下位の 7 ビットとする信号を信号 106 とする。この 10 ビットの信号 106 は量子化器 13 に入力され、量子化器 13 はこの信号 106 に応じて量子化処理を行い、量子化信号 108 を出力する。

【0038】

この実施形態の量子化器 13 では、量子化幅を 128 に設定する。すなわち、各量子化値は、0、128、256、384、512、640、768、896 の 8 レベルとなる。

【0039】

より具体的には、量子化器 13 は、入力信号 106 が 0～127 であれば、0 を、入力信号 106 が 128～255 であれば、128 を、入力信号 106 が 256～383 であれば、256 を、入力信号 106 が 384～511 であれば、384 を、入力信号 106 が 512～639 であれば、512 を、入力信号 106 が 640～767 であれば、640 を、入力信号 106 が 768～895 であれば、768 を、入力信号 106 が 896 以上であれば、896 を、量子化信号 108 として出力する様に動作する。

【0040】

また、量子化信号 108 は遅延素子 15 に入力され、遅延素子 15 は量子化信号 108 を 1 クロック分遅延して、遅延信号 109 を出力する。

【0041】

また、信号 106 は、遅延素子 14 に入力され、遅延素子 14 は信号 106 を 1 クロック分遅延して、遅延信号 107 を出力する。

【0042】

図 4 は、図 3 の高速オーバーサンプリング変調回路に用いられる量子化器の一例を示す。この量子化器は、入力信号 401～410 のうち、入力信号 408～410 のみに接続させたバッファ 41～43 から構成され、バッファ 41～43 からの出力信号 411～413 が量子化信号として後段の回路に出力される。

【0043】

図 4 の入力信号 401～410 は、図 3 に示した量子化器 13 の入力側の 10 ビットの入力信号 106 の中の重み付けされた各信号線を示している。すなわち

、量子化器に入力されるデータをYとすると、Yは、次式で表すことができる。

【0044】

$$Y = B_{10} \cdot 2^9 + B_9 \cdot 2^8 + B_8 \cdot 2^7 + B_7 \cdot 2^6 + B_6 \cdot 2^5$$

$$+ B_5 \cdot 2^4 + B_4 \cdot 2^3 + B_3 \cdot 2^2 + B_2 \cdot 2^1 + B_1 \cdot 2^0$$

信号線401は、2の0乗を表すビットでB₁を表している。信号線402は、2の1乗を表すビットでB₂を表している。信号線403は、2の2乗を表すビットでB₃を表している。信号線404は、2の3乗を表すビットでB₄を表している。信号線405は、2の4乗を表すビットでB₅を表している。信号線406は、2の5乗を表すビットでB₆を表している。信号線407は、2の6乗を表すビットでB₇を表している。信号線408は、2の7乗を表すビットでB₈を表している。信号線409は、2の8乗を表すビットでB₉を表している。信号線410は、2の9乗を表すビットでB₁₀を表している。これらの信号線401～410にそれぞれ、「1」または「0」を示すバイナリ信号を与えることにより、入力データYの数値が表現される。

【0045】

量子化幅が128（2の7乗）の場合、量子化器の入力信号401～410のうち、上位3ビットに対応する入力信号408、入力信号409及び入力信号410を量子化信号とすると、従来例の量子化器のようにマグニチュードコンパレータを用いることなく、遅延時間が少ない量子化幅を128とする量子化器を構成することができる。

【0046】

同様に、量子化信号を、上位2ビットに対応する入力信号409と入力信号410のみとすると量子化幅を256（2の8乗）とする量子化器を構成することができる。さらに、量子化信号を、上位4ビットに対応する入力信号407、入力信号408、入力信号409及び入力信号410とすると量子化幅を64（2の6乗）とする量子化器を構成することができる。何れの場合も、量子化器の入力ビットの中の数ビットを出力ビットとして出力するだけで済むので、回路規模が小さく、量子化器で費される遅延時間はほとんど無いと言える。

【 0 0 4 7 】

図 4 に示した量子化器の場合、量子化幅は、上記の理由により細かな数値には設定できず、2 の k 乗（ k は正の整数）で表せる数値に限定される。

【 0 0 4 8 】

次に、限られたデータ領域において動作する量子化器の一例について図 5 を用いて説明する。

【 0 0 4 9 】

図 5 は、図 3 の高速オーバーサンプリング変調回路に用いられる量子化器の他の例である。図 5 の量子化器は、限られたデータ領域の最小値よりも小さい数値が入力された時の処理を行う回路（アンダーフロー回路）と限られたデータ領域の最大値よりも大きい数値が入力された時の処理を行う回路（オーバーフロー回路）とを備えている。すなわち、図 5 の量子化器では、信号線の表現する数値が符号を持った 2 の補数で信号処理を行う場合を考慮している。

【 0 0 5 0 】

図 5 において、入力信号 5 0 1 ～信号 5 0 9 は、図 4 の例における信号 4 0 1 ～信号 4 0 9 と同様に、 2^k （ $k = 0 \sim 8$ ）を表す信号線を示す。入力信号 5 1 0 は、入力される数値の符号を表しており、入力信号 5 1 0 が 0 の時は、正の数を表し、1 の時は、負の数を表している。よって、10 ビットの入力信号が表す数値の取りうる範囲は、 $-512 \sim 511$ となる。

【 0 0 5 1 】

図 5 の量子化器は、AND ゲート 5 1、5 2、5 3 と、NAND ゲート 5 4 と、インバータ 5 5 と、AND ゲート 5 6 とから構成されている。インバータ 5 5 は、入力値の符号を表す入力信号 5 1 0 を入力し、信号 5 1 0 を反転させた出力を、AND ゲート 5 1、5 2、5 3 の各論理素子の一方の入力に送出する。AND ゲート 5 1、5 2、5 3 はそれぞれ、他方の入力において入力信号 5 0 7、5 0 8、5 0 9 を受取り、受取った入力信号とインバータ 5 5 の出力信号との AND 論理をとった信号を出力する。AND ゲート 5 2 と 5 3 の出力信号は、量子化器の出力信号 5 1 8、5 1 9 として出力され、AND ゲート 5 1 の出力信号は AND ゲート 5 6 の一方の入力に送出される。NAND ゲート 5 4 は、AND ゲー

ト52と53の出力信号を入力して、受取った2つの入力信号のNAND論理をとった信号をANDゲート56の他方の入力に送出される。ANDゲート56は、受取った2つの入力信号のAND論理をとった信号を、量子化器の出力信号517として出力する。これらの論理素子51～56が、前記オーバーフロー回路と前記アンダーフロー回路を形成している。

【0052】

図5の量子化器が量子化を行う際の量子化幅は64に設定する。すなわち、それぞれ量子化値は、0、64、128、192、256、320、384の7レベルになる。この量子化器の動作は、量子化器の入力値が0～447の場合は、信号507～信号509を量子化器の出力信号517～信号519とする。

【0053】

一方、量子化器の入力値が0より小さい場合（入力信号510が1の場合）、信号507～信号509が全て0となり、量子化器の出力信号517～信号519として出力する。

【0054】

また、量子化器の入力値が448～511（入力信号510が0で、入力信号508と入力信号509が共に1）の場合は、量子化器より出力される出力信号518と出力信号519が1、出力信号517が0となる。この出力値を10進数で表すと384である。

【0055】

したがって、図5の量子化器は、論理素子51～56を用いて、限られたデータ範囲において量子化処理を行い、前記データ範囲の上限値よりも大きいデータが入力された場合には、その上限値を出力し、前記データ範囲の下限値よりも小さいデータが入力された場合には、その下限値を出力するよう動作する。

【0056】

以上説明したように、上記実施形態の高速オーバーサンプリング変調回路によれば、2のk乗（kは正の整数）の量子化レベルを設定した、高速で動作する量子化器を備えることで、回路規模を増大させることなく、オーバーサンプリング変調回路の高速演算処理、および多ビットの信号処理が実現できる。したがって

、この実施形態の高速オーバーサンプリング変調回路を用いることで、コストの低減や低消費電力化に寄与することができる。

【0057】

次に、本発明の第2の実施形態に係る一次のオーバーサンプリング変調回路について、図6を用いて説明する。図6の実施形態は、上記した本発明の量子化器を用いた別のオーバーサンプリング変調回路であり、図3の加算器と減算器の演算の順番を入れ替えた場合である。

【0058】

図3の実施形態は、入力信号101に対して加算演算後に減算演算を実行しているが、図6の実施形態では、入力信号601に対して減算演算を最初に実行し、その後、加算演算を実行する構成としている。

【0059】

図6のオーバーサンプリング変調回路は、減算器61と、加算器62と、量子化器63と、遅延素子64と、遅延素子65から構成されている。

【0060】

10ビットのオーバーサンプリング変調回路の入力信号の上位側3ビットの信号を第1の入力信号601とし、下位側7ビットの信号を第2の入力信号602とすると、第1の入力信号601と3ビットの遅延信号608が減算器61に入力される。減算器61は、第1の入力信号601から遅延信号608を減算し、減算結果を3ビットの信号603として出力する。

【0061】

また、減算器61の出力信号603を上位の3ビットとし、第2の入力信号602を下位の7ビットとする信号を信号604とすると、この信号604と10ビットの遅延信号607が、加算器62に入力される。加算器62は、信号604と遅延信号607を加算し、加算結果を10ビットの信号605として出力する。

【0062】

加算器62の出力信号605が、量子化器63の入力となる。この実施形態の量子化器63は、第1の実施形態における図4又は図5の量子化器と同じ構成の

回路である。量子化器 63 では信号 605 に対し量子化処理が行われ、量子化された後、量子化器 63 は 3 ビットの量子化信号 606 を出力する。

【0063】

また、加算器 62 の出力信号 605 (10 ビット) は、遅延素子 64 に入力される。遅延素子 64 は、信号 605 を 1 クロック分遅延した信号として前記遅延信号 607 を、加算器 62 の一方の入力に送出する。

【0064】

さらに、量子化器 63 の出力信号 606 (3 ビット) は、遅延素子 65 に入力される。遅延素子 65 は、信号 606 を 1 クロック分遅延した信号として前記遅延信号 608 を、減算器 61 の一方の入力に送出する。

【0065】

図 6 のオーバーサンプリング変調回路は、入力信号に対する加算と減算の演算の順番を入れ替えた構成としたものであり、その他の動作は図 3 の実施形態と基本的に同一であるので、重複する説明は省略する。

【0066】

上記実施形態の高速オーバーサンプリング変調回路によれば、2 の k 乗 (k は正の整数) の量子化レベルを設定した、高速で動作する量子化器を備えることで、回路規模を増大させることなく、オーバーサンプリング変調回路の高速演算処理、および多ビットの信号処理が実現できる。したがって、この実施形態の高速オーバーサンプリング変調回路を用いることで、コストの低減や低消費電力化に寄与することができる。

【0067】

次に、本発明の量子化器を用いた二次のオーバーサンプリング変調回路の実施形態について、図 7 を用いて説明する。

【0068】

図 7 は、本発明の第 3 の実施形態に係る二次のオーバーサンプリング変調回路を示す。図 7 のオーバーサンプリング変調回路は、減算器 70 と、減算器 74 と、加算器 71 と、加算器 75 と、遅延素子 72、73 と、遅延素子 76、78 と、量子化器 77 と、乗算器 79 とから構成されている。

オーバーサンプリング変調回路の入力信号

前述の実施形態と同様に、10ビットの入力信号がオーバーサンプリング変調回路に入力する場合を考える。オーバーサンプリング変調回路の入力信号の上位側の3ビットの信号を第1の入力信号700とし、オーバーサンプリング変調回路の入力信号の下位側の7ビットの信号を第2の入力信号701とする。

【0069】

第1の入力信号700と3ビットの遅延信号719が、減算器70の入力となる。減算器70は、第1の入力信号700から遅延信号719を減算し、その減算結果を3ビットの信号702として出力する。

【0070】

減算器70の出力信号702を上位の3ビットとし、第2の入力信号701を下位の7ビットとする10ビットの信号を信号703とすると、この信号703と10ビットの遅延信号705が、加算器71の入力となる。加算器71は、信号703と遅延信号705を加算し、その加算結果を10ビットの信号704として出力する。

【0071】

加算器71の出力信号704は、遅延素子72に入力される。遅延素子72は、その入力信号704を1クロック分遅延して、遅延信号705を加算器71の一方の入力に送出する。

【0072】

また、加算器71の出力信号704は、遅延素子73に入力される。遅延素子73は、その入力信号704を1クロック分遅延して、10ビットの遅延信号711を出力する。

【0073】

遅延素子73からの遅延信号711の上位側の3ビットを第3の信号712とし、遅延信号711の下位側の7ビットを第4の信号713とする。第3の信号712と3ビットの遅延信号720が、減算器74に入力される。減算器74は、第3の信号712から遅延信号720を減算し、その減算結果を3ビットの信号714として出力する。

【0074】

減算器 74 の出力信号 714 を上位 3 ビットとし、遅延素子 73 からの第 4 の信号 713 を下位の 7 ビットとする 10 ビットの信号を第 5 の信号 715 とすると、この第 5 の信号 715 と 10 ビットの遅延信号 717 が、加算器 75 の入力となる。加算器 75 は、第 5 の信号 715 と遅延信号 717 を加算し、その加算結果を 10 ビットの信号 716 として出力する。

【0075】

加算器 75 の出力信号 716 は、遅延素子 76 に入力される。遅延素子 76 は、その入力信号 716 を 1 クロック分遅延して、遅延信号 717 を、加算器 75 の一方の入力に送出する。

【0076】

また、加算器 75 の出力信号 716 は、量子化器 77 に入力される。この実施形態の量子化器 77 は、第 1 の実施形態における図 4 又は図 5 の量子化器と同じ構成の回路である。量子化器 77 は、その入力信号 716 に対し量子化処理が行い、量子化された結果を 3 ビットの量子化信号 718 として出力する。

【0077】

本発明の量子化器を用いることで、量子化器 77 自体で費やされる遅延時間が少なくて済む。また、量子化器 77 の出力信号は 3 ビットで済むため、減算器 70 と減算器 74 の減算するビット数が少なくて済む。よって、減算器による遅延値の最大値を小さくできるため、この実施形態のオーバーサンプリング変調回路の高速動作と多ビットの信号処理が可能となる。

【0078】

量子化信号 718 は、遅延素子 78 に入力される。遅延素子 78 は、その入力信号 718 を 1 クロック分遅延して、遅延信号 719 を出力する。この遅延信号 719 は、乗算器 79 に入力される。乗算器 79 は、遅延信号 719 を 2 倍し、その乗算結果を 3 ビットの遅延信号 720 として、減算器 74 の一方の入力に送出する。

【0079】

上記実施形態の高速オーバーサンプリング変調回路によれば、2 の k 乗 (k は

正の整数)の量子化レベルを設定した、高速で動作する量子化器を備えることで、回路規模を増大させることなく、オーバーサンプリング変調回路の高速演算処理、および多ビットの信号処理が実現できる。したがって、この実施形態の高速オーバーサンプリング変調回路を用いることで、コストの低減や低消費電力化に寄与することができる。

【0080】

図7のオーバーサンプリング変調回路では、図6の実施形態と同様に、入力信号に対して減算演算を最初に実行して、その後、加算演算を実行する構成とした。しかし、本発明に係る二次のオーバーサンプリング変調回路は、この構成のみに限られるものではない。例えば、図3の実施形態と同様に、入力信号に対して加算演算を最初に実行してから、減算演算を実行する構成とした、二次のオーバーサンプリング変調回路を用いてもよい。

【0081】

(付記1)

複数のビットで構成される入力信号と第1の遅延信号を加算する加算手段と、前記加算手段からの出力信号のうち上位側の所定数のビットからなる第1の信号から第2の遅延信号を減算する減算手段と、前記加算手段の出力信号の下位側の残りのビットからなる第2の信号を下位ビットとし、前記減算手段からの出力信号を上位ビットとして構成される第3の信号を遅延して、前記第1の遅延信号を出力する第1の遅延手段と、前記第3の信号を入力として量子化処理を行い、所定のビット数の量子化信号を出力する量子化手段と、前記量子化手段から出力される前記量子化信号を遅延して、前記第2の遅延信号を出力する第2の遅延手段とを備え、前記量子化手段は前記第3の信号のうち特定のビットを選択して、前記量子化信号を生成することを特徴とするオーバーサンプリング変調回路。

【0082】

(付記2)

前記量子化手段は、限られたデータ範囲において量子化処理を行い、前記データ範囲の上限値よりも大きいデータが入力された場合に、前記上限値を出力するオーバーフロー回路と、前記データ範囲の下限値よりも小さいデータが入力され

た場合に、下限値を出力するアンダーフロー回路とを備えることを特徴とする付記 1 記載のオーバーサンプリング変調回路。

【 0 0 8 3 】

(付記 3)

前記オーバーサンプリング変調回路は、前記第 2 の遅延手段からの出力信号を入力として、該出力信号を整数倍することにより前記第 2 の遅延信号を生成する乗算手段をさらに備えることを特徴とする付記 1 乃至 2 記載の高速オーバーサンプリング変調回路。

【 0 0 8 4 】

(付記 4)

複数のビットで構成される入力信号のうち上位側の所定数のビットからなる第 1 の信号から第 1 の遅延信号を減算する減算手段と、前記複数のビットで構成される前記入力信号の下位側の残りのビットからなる第 2 の信号を下位ビットとし、前記減算手段の出力信号を上位ビットとして構成される第 3 の信号と、第 2 の遅延信号とを加算する加算手段と、前記加算手段の出力信号を入力として量子化処理を行い、所定のビット数の量子化信号を出力する量子化手段と、前記量子化手段から出力される前記量子化信号を遅延して前記第 1 の遅延信号を出力する第 1 の遅延手段と、前記加算手段の前記出力信号を遅延して前記第 2 の遅延信号を出力する第 2 の遅延手段とを備え、前記量子化手段は前記加算手段の前記出力信号のうち特定のビットを選択して、前記量子化信号を生成することを特徴とするオーバーサンプリング変調回路。

【 0 0 8 5 】

(付記 5)

前記量子化手段は、限られたデータ範囲において量子化処理を行い、前記データ範囲の上限値よりも大きいデータが入力された場合に、前記上限値を出力するオーバーフロー回路と、前記データ範囲の下限値よりも小さいデータが入力された場合に、下限値を出力するアンダーフロー回路とを備えることを特徴とする付記 4 記載のオーバーサンプリング変調回路。

【 0 0 8 6 】

(付記 6)

前記オーバーサンプリング変調回路は、前記第 2 の遅延手段からの出力信号を入力として、該出力信号を整数倍することにより前記第 2 の遅延信号を生成する乗算手段をさらに備えることを特徴とする付記 4 又は 5 記載のオーバーサンプリング変調回路。

【0087】

(付記 7)

前記量子化手段は、前記第 3 の信号のうち、選択された特定のビットに対応する信号線のみに接続させた複数のバッファを備え、前記複数のバッファから前記量子化信号が出力されることを特徴とする付記 1 記載のオーバーサンプリング変調回路。

【0088】

(付記 8)

前記量子化手段は、前記第 3 の信号のうち、選択された特定のビットに対応する信号線のみに接続させた複数の論理素子と、前記入力信号が示す入力値の符号を表す信号を入力する論理素子とを備えることを特徴とする付記 1 記載のオーバーサンプリング変調回路。

【0089】

(付記 9)

前記量子化手段は、前記第 3 の信号のうち、選択された特定のビットに対応する信号線のみに接続させた複数のバッファを備え、前記複数のバッファから前記量子化信号が出力されることを特徴とする付記 4 記載のオーバーサンプリング変調回路。

【0090】

(付記 10)

前記量子化手段は、前記第 3 の信号のうち、選択された特定のビットに対応する信号線のみに接続させた複数の論理素子と、前記入力信号が示す入力値の符号を表す信号を入力する論理素子とを備えることを特徴とする付記 4 記載のオーバーサンプリング変調回路。

【0091】

【発明の効果】

以上説明したように、本発明の高速オーバーサンプリング変調回路によれば、2のk乗（kは正の整数）の量子化レベルを設定した、高速で動作する量子化器を備えることで、回路規模を増大させることなく、オーバーサンプリング変調回路の高速演算処理、および多ビットの信号処理が実現できる。したがって、本発明の高速オーバーサンプリング変調回路を用いることで、コストの低減や低消費電力化に寄与することができる。

【0092】

【図面の簡単な説明】

【図1】

従来のオーバーサンプリング変調回路の一例を示すブロック図である。

【図2】

従来の量子化器の一例を示す回路図である。

【図3】

本発明の第1の実施形態に係る一次のオーバーサンプリング変調回路を示すブロック図である。

【図4】

図3のオーバーサンプリング変調回路に用いられる量子化器の一例を示す図である。

【図5】

図3のオーバーサンプリング変調回路に用いられる量子化器の他の例を示す図である。

【図6】

本発明の第2の実施形態に係る一次のオーバーサンプリング変調回路を示すブロック図である。

【図7】

本発明の第3の実施形態に係る二次のオーバーサンプリング変調回路を示すブロック図である。

【符号の説明】

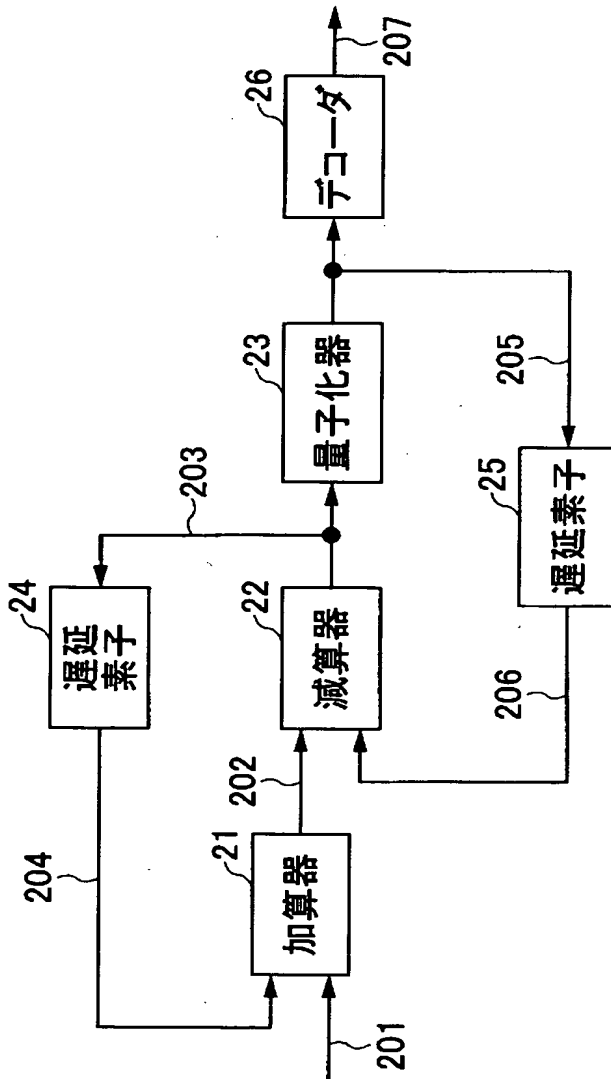
- 1 1 加算器
- 1 2 減算器
- 1 3 量子化器
- 1 4 遅延素子
- 1 5 遅延素子
- 2 1 加算器
- 2 2 減算器
- 2 3 量子化器
- 2 4 遅延素子
- 2 5 遅延素子
- 2 6 デコーダ回路
- 3 0 - 3 2 マグニチュードコンパレータ
- 3 3、3 4 ANDゲート
- 3 5 - 3 8 セレクタ素子
- 3 9 ORゲート
- 4 1 - 4 3 バッファ
- 5 1 - 5 3 ANDゲート
- 5 4 NANDゲート
- 5 5 インバータ
- 5 6 ANDゲート

【書類名】

【図 1】

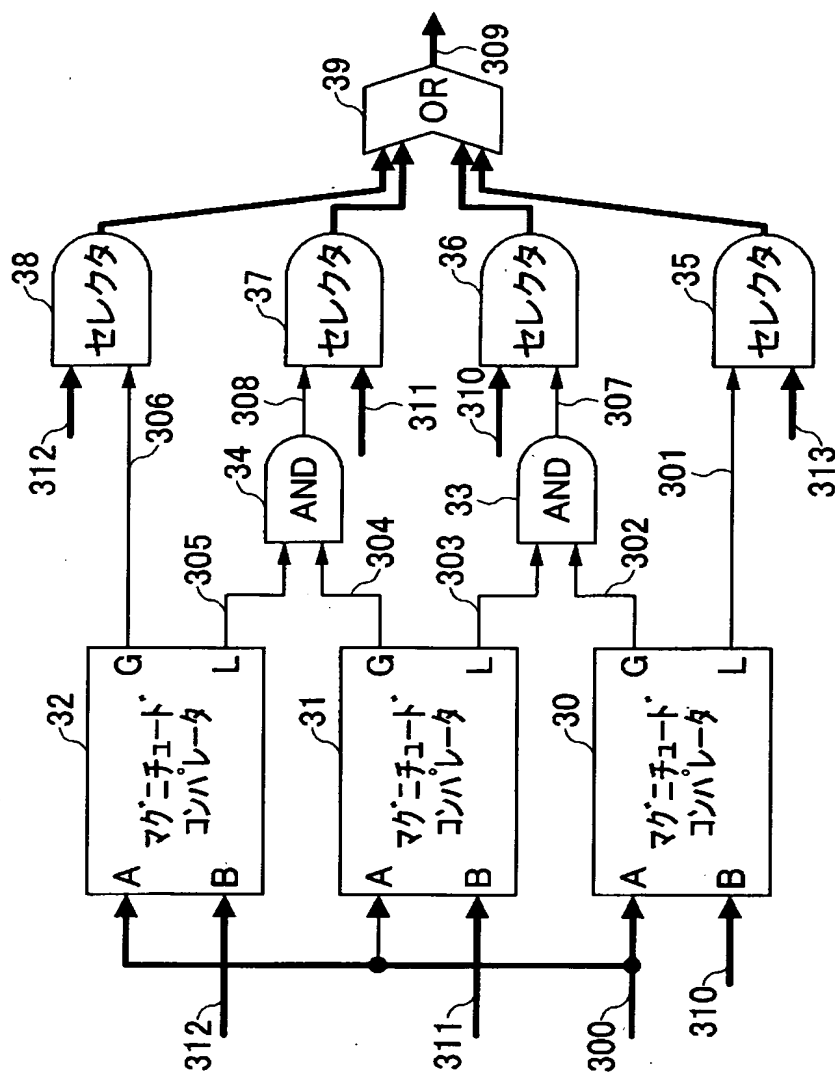
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W., Suite 400
Washington, D.C. 20036-5339
Docket No. 100353-00177
Serial No.: New Application Filed: October 23, 2003
Inventor: Uichi SEKIMOTO

従来のオーバーサンプリング変調回路の一例を示すブロック図



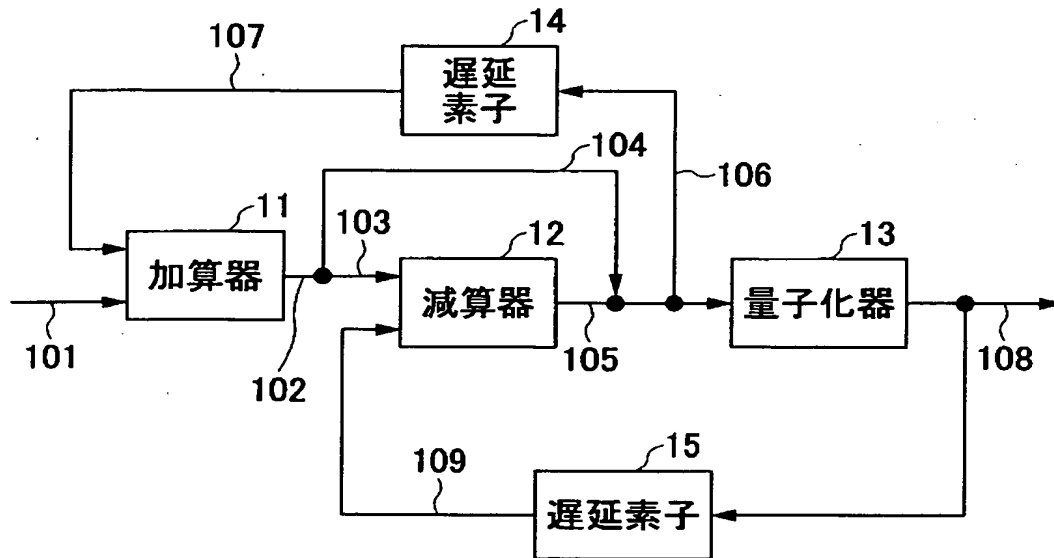
【図 2】

従来の量子化器の一例を示す回路図



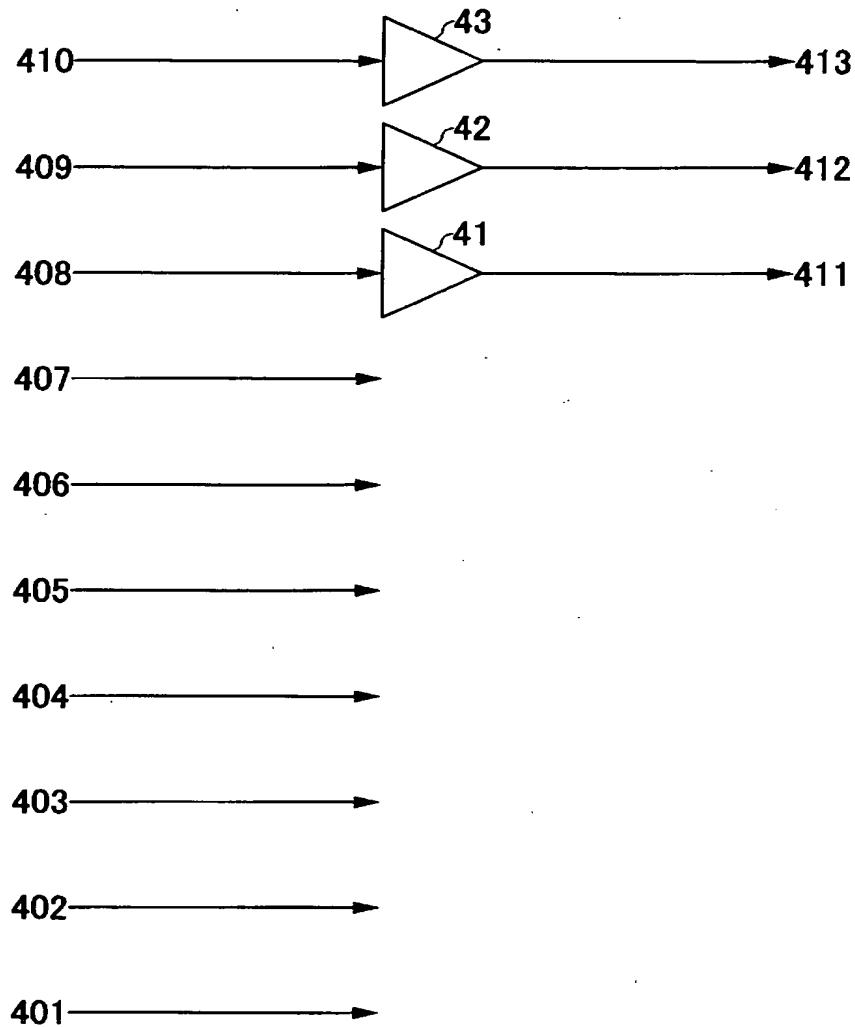
【図 3】

本発明の第1の実施形態に係る一次の
オーバーサンプリング変調回路を示すブロック図



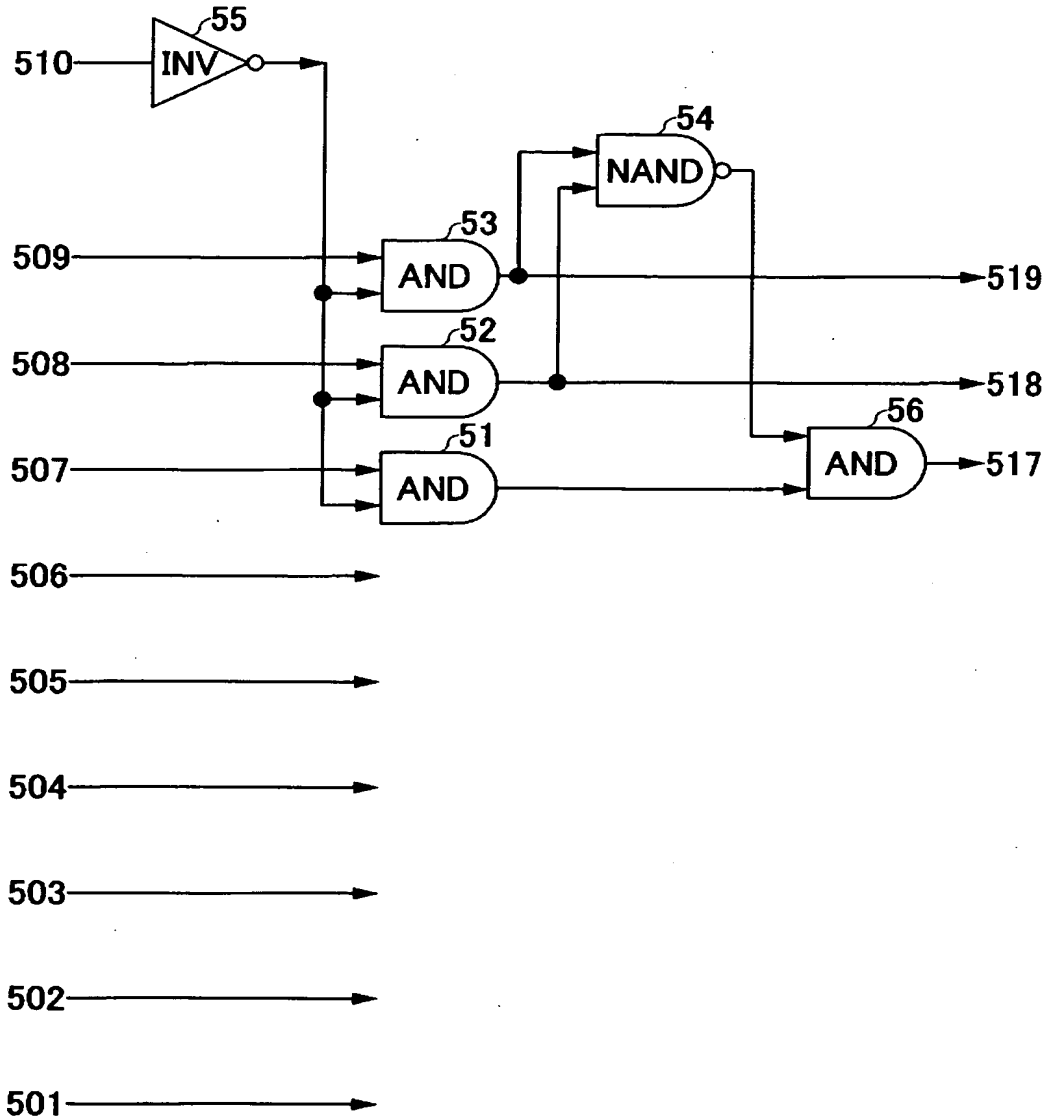
【図 4】

図3のオーバーサンプリング変調回路に用いられる
量子化器の一例を示す図



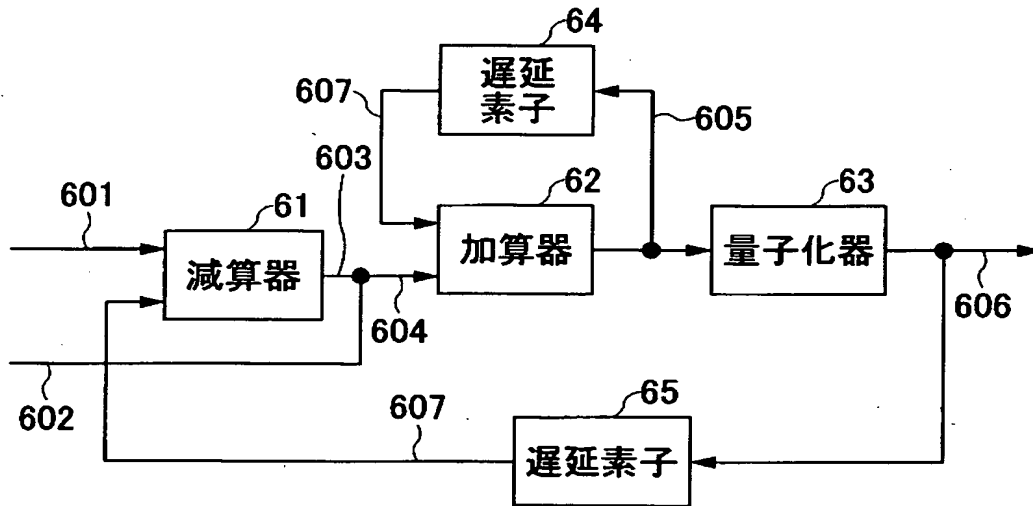
【図 5】

図3のオーバーサンプリング変調回路に用いられる
量子化器の他の例を示す図



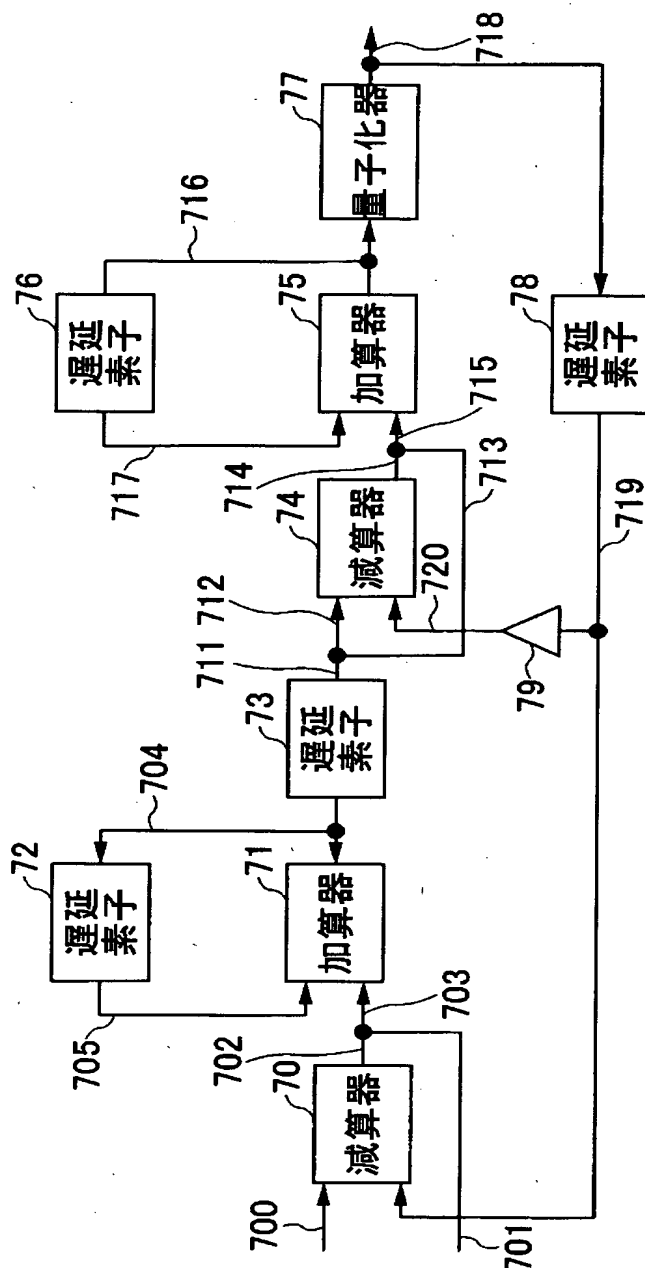
【図 6】

本発明の第2の実施形態に係る一次の
オーバーサンプリング変調回路を示すブロック図



【図 7】

本発明の第3の実施形態に係る二次の
オーバーサンプリング変調回路を示すブロック図



【書類名】 要約書

【要約】

【課題】 量子化器の回路を簡略化することにより演算回路のビット数を削減でき、回路規模を増大させることなく、多ビットの信号処理及び高速演算処理が実現できる高速オーバーサンプル変調回路を提供する。

【解決手段】 複数のビットの入力信号と第 1 の帰還信号を加算する加算器と、加算器からの出力信号のうち上位側の所定数のビットの第 1 の信号から、第 2 の帰還信号を減算する減算器と、加算器の出力信号の下位側の残りのビットからなる第 2 の信号を下位ビットとし、減算器からの出力信号を上位ビットとする第 3 の信号を遅延して第 1 の帰還信号を出力する第 1 の遅延素子と、第 3 の信号を入力として量子化処理を行い、所定のビット数の量子化信号を出力する量子化器と、量子化信号を遅延して第 2 の帰還信号を出力する第 2 の遅延素子とを備え、量子化器は第 3 の信号のうち特定のビットを選択して量子化信号を出力する。

【選択図】 図 3

特願 2 0 0 2 - 3 0 9 7 5 0

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 1 0 1 5 番地

氏 名

富士通株式会社

2. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社